

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-282746

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

G06F 12/02
G11C 11/401

(21)Application number : 10-050751

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 03.03.1998

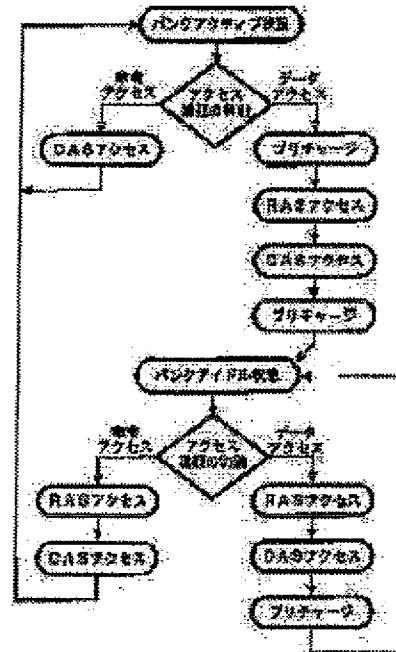
(72)Inventor : UEDA MAKOTO

(54) DRAM ACCESS METHOD AND DRAM CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To enable high speed DRAM access.

SOLUTION: The method includes a step of accessing a DRAM including a step for discriminating kinds of accesses to the DRAM and a step for switching an access mode in accordance with the discriminated kinds of access, a step for deciding whether or not the address accessed last time matches a column address of the present one, and a step for switching the access mode in accordance with match/nonmatch of the decided column address.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-282746

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.⁵

G 0 6 F 12/02

G 1 1 C 11/401

識別記号

5 9 0

F I

G 0 6 F 12/02

G 1 1 C 11/34

5 9 0 A

3 6 2 D

審査請求 有 請求項の数25 OL (全 8 頁)

(21) 出願番号 特願平10-50751

(22) 出願日 平成10年(1998) 3 月 3 日

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(72) 発明者 上田 真

滋賀県野洲郡野洲町大字市三宅800番地

日本アイ・ビー・エム株式会社 野洲事業所内

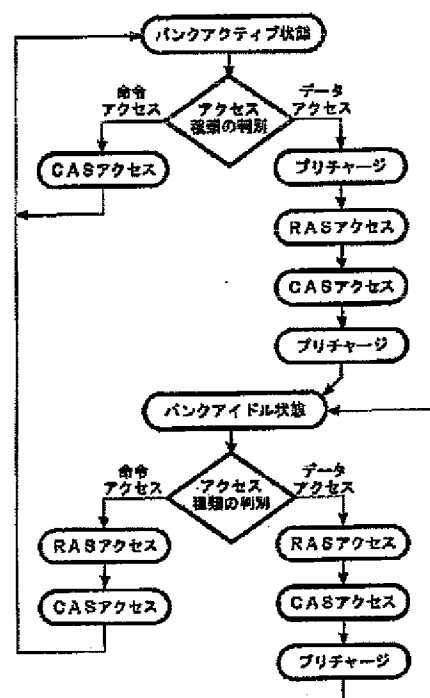
(74) 代理人 弁理士 坂口 博 (外1名)

(54) 【発明の名称】 DRAMアクセス方法およびDRAMコントローラ

(57) 【要約】

【課題】 高速なDRAMアクセスを可能とするDRAMアクセス方法およびDRAMコントローラを提供する。

【解決手段】 DRAMへのアクセスの種類を判別するステップと、判別されたアクセスの種類に応じてアクセス・モードを切り換えるステップとを含むDRAMへのアクセス方法、さらに前回アクセスのあったアドレスと現在のアドレスの行アドレスが一致しているか否かを判断するステップと、前記判断された行アドレスの一致の有無に応じてアクセス・モードを切り換えるステップとを含むDRAMへのアクセス方法が提供される。



【特許請求の範囲】

【請求項1】 DRAMへのアクセス方法であって、
DRAMアクセスの種類を判別するステップと、
判別されたアクセスの種類に応じてアクセス・モードを
切り換えるステップと、を含む方法。

【請求項2】 前記アクセスの種類を判別するステップ
が、命令アクセスであるかデータアクセスであるかを判
別することを含む請求項1記載の方法。

【請求項3】 前記アクセスの種類が命令アクセスであ
る場合には、その次のアクセスも命令アクセスが続くも
のと予測して、プリチャージをすることなくアクセスを
終了すること、を含む請求項2記載の方法。

【請求項4】 前記アクセスの種類がデータ・アクセス
である場合には、その次のアクセスもデータ・アクセス
が続くものと予測して、プリチャージをおこなってアク
セスを終了することを含む、請求項2記載の方法。

【請求項5】 前記アクセスモードを切り換えるステッ
プが、ページ・モードまたはランダム・アクセス・モー
ドを選択することを含む請求項1記載の方法。

【請求項6】 前記アクセスの種類が命令アクセスであ
る場合にはページ・モードが選択され、前記アクセスの
種類がデータ・アクセスである場合にはランダム・アク
セス・モードが選択されることを特徴とする、請求項5
記載の方法。

【請求項7】 DRAMへのアクセス方法であって、D
RAMへのアクセス・モードが、ページ・モードである
かランダム・アクセス・モードであるかを判別するステ
ップと、

DRAMアクセスの種類を判別するステップと、
前記判別されたアクセスモードがページ・モードであ
り、かつ前記判別されたアクセスの種類が命令アクセス
である場合は、CASアクセスのみをおこなうステップ
と、

前記判別されたアクセスモードがページ・モードであ
り、かつ前記判別されたアクセスの種類がデータ・アク
セスである場合は、プリチャージをした後にランダム・
アクセス・モードに切り換えるステップと、

前記判別されたアクセスモードがランダム・アクセス・
モードであり、かつ前記判別されたアクセスの種類が命
令アクセスである場合は、ページ・モードに切り換える
ステップと、

前記判別されたアクセスモードがランダム・アクセス・
モードであり、かつ前記判別されたアクセスの種類がデ
ータ・アクセスである場合は、RASアクセスとCAS
アクセスをおこなった後にプリチャージをしてアクセス
を終了するステップと、を含む方法。

【請求項8】 前記ランダム・アクセス・モードに切り
換えるステップが、RASアクセスとCASアクセスを
おこなった後にプリチャージをしてアクセスを終了する
ステップを含み、

前記ページ・モードに切り換えるステップが、RASア
クセスとCASアクセスをおこなってアクセスを終了す
るステップを含むことを特徴とする請求項7記載の方
法。

【請求項9】 DRAMへのアクセス方法であって、
前回アクセスのあったアドレスと現在のアドレスの行ア
ドレスが一致しているか否かを判断するステップと、
前記判断された行アドレスの一致の有無に応じてアクセ
ス・モードを切り換えるステップと、を含む方法。

【請求項10】 前記アクセス・モードを切り換えるス
テップが、ページ・モードまたはランダム・アクセス・
モードを選択すること、を含む請求項9記載の方法。

【請求項11】 前記行アドレスが一致する場合にはペ
ージ・モードが選択され、前記行アドレスが一致しない
場合にはランダム・アクセス・モードが選択されるこ
と、を特徴とする請求項9記載の方法。

【請求項12】 前記行アドレスが一致する場合には、
その次のアクセスにおいても行アドレスが一致するもの
と予測して、プリチャージをすることなくアクセスを終
了し、

前記行アドレスが一致しない場合には、その次のアクセ
スにおいても行アドレスが一致しないものと予測して、
プリチャージをおこなってからアクセスを終了すること
を特徴とする、請求項9記載の方法。

【請求項13】 DRAMへのアクセス方法であって、
DRAMへのアクセス・モードが、ページ・モードであ
るかランダム・アクセス・モードであるかを判別するス
テップと、

前回アクセスのあったアドレスと現在のアドレスの行ア
ドレスが一致しているか否かを判断するステップと、
前記アクセスモードがページ・モードであり、かつ前記
2つの行アドレスが一致している場合は、CASアクセ
スのみをおこなうステップと、

前記アクセスモードがページ・モードであり、かつ前記
2つの行アドレスが一致しない場合は、プリチャージを
した後にランダム・アクセス・モードに切り換えるステ
ップと、

前記アクセスモードがランダム・アクセス・モードであ
り、かつ前記2つの行アドレスが一致する場合は、ペー
ジ・モードに切り換えるステップと、

前記アクセスモードがランダム・アクセス・モードであ
り、かつ前記2つの行アドレスが一致しない場合は、R
ASアクセスとCASアクセスをおこなった後にプリチ
ャージをしてアクセスを終了するステップと、を含む方
法。

【請求項14】 前記ランダム・アクセス・モードに切
り換えるステップが、RASアクセスとCASアクセス
をおこなった後にプリチャージをしてアクセスを終了す
るステップを含み、

前記ページ・モードに切り換えるステップが、RASア

3

クセスとCASアクセスをおこなってアクセスを終了するステップを含むことを特徴とする請求項13記載の方法。

【請求項15】 DRAMを制御するためのコントローラであって、
プロセッサからの信号に応じてDRAMへのアクセスの種類を判別する手段と、
判別されたアクセスの種類に応じてDRAMへのアクセス・モードを切り換える手段と、
を含むコントローラ。

【請求項16】 前記アクセスの種類を判別する手段が、命令アクセスであるかデータ・アクセスであるかを判別することを含む請求項15記載のコントローラ。

【請求項17】 前記アクセスの種類が命令アクセスである場合には、その次のアクセスも命令アクセスが続くものと予測して、プリチャージをすることなくアクセスを終了し、前記アクセスの種類がデータ・アクセスである場合には、その次のアクセスもデータ・アクセスが続くものと予測して、プリチャージをおこなってアクセスを終了することを特徴とする、請求項16記載のコントローラ。

【請求項18】 前記アクセス・モードを切り換える手段が、ページ・モードまたはランダム・アクセス・モードを選択することを含む請求項16記載のコントローラ。

【請求項19】 前記アクセスの種類が命令アクセスである場合にはページ・モードが選択され、前記アクセスの種類がデータ・アクセスである場合にはランダム・アクセス・モードが選択されることを特徴とする、請求項18記載のコントローラ。

【請求項20】 DRAMを制御するためのコントローラであって、
前回アクセスのあったアドレスと現在のアドレスの行アドレスが一致しているか否かを判断する手段と、
前記判断された行アドレスの一致の有無に応じてアクセスモードを切り換える手段と、を含むコントローラ。

【請求項21】 前記アクセス・モードを切り換える手段が、ページ・モードまたはランダム・アクセス・モードを選択することを含む請求項20記載のコントローラ。

【請求項22】 前記行アドレスが一致する場合にはページ・モードが選択され、前記行アドレスが一致しない場合にはランダム・アクセス・モードが選択されることを特徴とする、請求項21記載のコントローラ。

【請求項23】 前記行アドレスが一致する場合には、その次のアクセスにおいても行アドレスが一致するものと予測して、プリチャージをすることなくアクセスを終了し、
前記行アドレスが一致しない場合には、その次のアクセスにおいても行アドレスが一致しないものと予測して、

4

プリチャージをおこなってからアクセスを終了することを特徴とする、請求項20記載のコントローラ。

【請求項24】 DRAMを制御するためのコントローラであって、

DRAMへのアクセスモードが、ページ・モードであるかランダム・アクセス・モードであるかを判別する手段と、

前回アクセスのあったアドレスと現在のアドレスの行アドレスが一致しているか否かを判断する手段とを含み、

10 前記アクセスモードがページ・モードであり、かつ前記2つの行アドレスが一致している場合は、CASアクセスのみをおこない、

前記アクセスモードがページ・モードであり、かつ前記2つの行アドレスが一致しない場合は、プリチャージをした後にランダム・アクセス・モードに切り換え、

前記アクセスモードがランダム・アクセス・モードであり、かつ前記2つの行アドレスが一致する場合は、RASアクセスとCASアクセスをおこない、

20 前記アクセスモードがランダム・アクセス・モードであり、かつ前記2つの行アドレスが一致しない場合は、RASアクセスとCASアクセスをおこなった後にプリチャージをしてアクセスを終了すること、を含むコントローラ。

【請求項25】 前記ランダム・アクセス・モードの切り換えが、RASアクセスとCASアクセスをおこなった後にプリチャージをしてアクセスを終了することを含むことを特徴とする請求項24記載のコントローラ。

【発明の詳細な説明】

【0001】

30 【産業上の利用分野】本発明は、一般的には、ダイナミック・ランダム・アクセス・メモリ(DRAM)の制御に関し、さらに詳しく言えば、DRAMへの高速なアクセス方法およびDRAMを制御するためのDRAMコントローラに関する。

【0002】

【従来の技術】DRAMを含むコンピュータ・システムの処理スピードを向上させるためには、DRAMへのアクセス時間を短縮することが重要である。このDRAMへのアクセス時間を短縮する方法として、いわゆるページング法(ページ・モード法)が知られている。ページング法は、DRAMへのアクセスにおいて、一度行アドレスを指定(RASアクセス)した後はこれを固定し、列アドレスの指定(CASアクセス)に応じてデータの読み出しをおこなう方法である。このページング法は、交互にRASアクセスとCASアクセスをおこなう、いわゆるランダム・アクセス法(RASアクセス・モード法)よりもRASアクセス回数が少ない分高速なアクセスが可能となる利点を有する。

50 【0003】日本国の特許公開公報、平3-25785号には、従来のページング法を用いた記憶装置が開示さ

れている。図1はこの記憶装置へのアクセスのフローを示した図である。図1では、アクセスを開始した後、現在のアドレスとレジスタに記憶されている前回のアドレスとを比較し、両者の行アドレスが一致した場合は列アドレスを送り、CASアクセスをおこなう。両者の行アドレスが一致しない場合は、プリチャージをした後に行アドレスと列アドレスを送り、RASアクセスとCASアクセスをおこなう。

【0004】図1のページング法を用いたアクセス方法は、行アドレスが一致した場合はCASアクセスのみをおこなう点で、高速なアクセスを可能にするものである。しかしながら、この従来の方法は、行アドレスが一致しない場合は、プリチャージをした後にRASアクセスとCASアクセスをおこなう必要がある。したがって、行アドレスが一致しない場合は、ランダム・アクセス法よりも、反ってプリチャージの時間だけDRAMへのアクセス動作が遅くなるという欠点がある。すなわち、ページング法はあくまで局所性のあるアクセスにおいてのみ有効な方法であると言える。なお、ここで言う“局所性のあるアクセス”とは、アクセスがメモリの一

定のアドレス群（領域）に集中しておこなわれることを意味する。

【0005】この従来のページング法の欠点を改善したメモリ制御回路が日本国の特許公開報、平7-84866号に開示されている。このメモリ制御回路では、メモリアクセスの局所性を利用して、アクセス要求があった時点で行アドレスが前回の行アドレスと一致する可能性を予測して、アクセスモードを切り換える方法が開示されている。

【0006】しかしながら、この場合は、メモリアクセスにおいて行アドレスが一致する可能性を判断するための条件として、アクセス主体が一致するか否かを利用している。ここでアクセス主体とは、一般にバスマスタと呼ばれるものである。したがって、このメモリ制御回路では、レジスタ内に新たにアクセス主体番号を導入し、さらにアクセス主体番号の比較回路等を新たに設ける必要がある。また、平7-84866号公報では、アクセスの種類に着目したアクセス方法については何等言及されていない。

【0007】

【発明が解決しようとする課題】本発明の目的は、高速なDRAMアクセスを可能とするDRAMアクセス方法およびDRAMコントローラを提供することである。

【0008】また、本発明の目的は、従来のページング法をさらに改善したDRAMアクセス方法およびDRAMコントローラを提供することである。

【0009】さらに、本発明の目的は、DRAMアクセスの局所性とDRAMアクセスの種類とアクセス・モードとの関係に着目した、新規なDRAMアクセス方法およびDRAMコントローラを提供することである。

【0010】さらに、本発明の目的は、一定のヒントを基にDRAMアクセスの局所性を予測して、高速なDRAMアクセスを可能とする方法およびDRAMコントローラを提供することである。

【0011】

【課題を解決するための手段】本発明によれば、DRAMへのアクセスの種類を判別するステップと、判別されたアクセスの種類に応じてアクセス・モードを切り換えるステップと、を含むDRAMへのアクセス方法が提供される。ここで、アクセスの種類とは、命令アクセスまたはデータ・アクセスを意味する。また、アクセス・モードとは、ページ・モードまたはランダム・アクセス・モードを意味する。

【0012】また、本発明によれば、DRAMへのアクセス方法であって、前回アクセスのあったアドレスと現在のアドレスの行アドレスが一致しているか否かを判断するステップと、前記判断された行アドレスの一致の有無に応じてアクセス・モードを切り換えるステップと、を含む方法が提供される。

【0013】さらに、本発明によれば、プロセッサからの信号に応じてDRAMへのアクセスの種類を判別する手段と、判別されたアクセスの種類に応じてDRAMへのアクセス・モードを切り換える手段とを含む、DRAMを制御するためのコントローラが提供される。

【0014】さらに、本発明によれば、DRAMを制御するためのコントローラであって、前回アクセスのあったアドレスと現在のアドレスの行アドレスが一致しているか否かを判断する手段と、前記判断された行アドレスの一致の有無に応じてアクセスモードを切り換える手段と、を含むコントローラが提供される。

【0015】

【発明の実施の形態】本発明の詳細な説明に移る前に、本発明の意義をより理解しやすくするために、本発明の発明者によって新たに見いだされた本発明の契機となった事項について、その概要を簡単に説明する。

【0016】本発明の発明者は、DRAMアクセス種類によって、直前のアクセスにおける行アドレスと現在のアクセスにおける行アドレスが一致（ページ・ヒット）する確率が異なることを新たに見いだした。すなわち、命令アクセスである場合の方がデータ・アクセスの場合よりもページ・ヒットする確率が高い、言い換えれば局所性が高いことを見いだした。ここで命令アクセスとはプログラムへのアクセスを意味し、データ・アクセスとは文字通りのデータへのアクセスを意味する。さらに、本発明者は、命令アクセスとデータ・アクセスの発生頻度を調べた結果、2つのアクセスは各々連続して発生する確率が高いことも見いだした。したがって、ページ・ヒットとページ・ミスは各々連続して発生する確率が高いことを見いだした。よって、本発明は、一言で言うところDRAMアクセスの種類とアクセスの局所性（ペー

ジ・ヒットする確率)と同一アクセスの発生頻度に着目してなされたものである。

【0017】図2は本発明の第1の実施例のDRAMアクセス方法のフローを示した図である。図2において、バンクアクティブ状態、すなわちページ・モードが選択され既に行選択(RASアクセス)が行われている状態からアクセスが開始される。最初に、DRAMアクセスの種類が命令アクセスであるかデータ・アクセスであるかが判断される。

【0018】アクセスの種類が命令アクセスである場合には、ページ・モードがそのまま維持されCASアクセスのみをおこなってアクセスを終了する。言い換えれば、命令アクセスである場合には、その次のアクセスも命令アクセスであると予測して、プリチャージをすることなくバンクアクティブ状態に戻る。

【0019】一方、アクセスの種類がデータ・アクセスである場合には、ページ・モードからランダム・アクセス・モードへ切り換えられ、プリチャージをおこなった後にRASアクセスとCASアクセスを行い、さらに最後にプリチャージをおこなってアクセスを終了する。言い換えれば、データ・アクセスである場合には、その次のアクセスもデータ・アクセスであると予測して、プリチャージをおこなってバンクアイドル状態、すなわちRASアクセスされていない状態(RASモード)に移る。

【0020】図2のバンクアイドル状態(RASモード)から、さらに次のアクセスが開始される。そして、同様にして、最初にアクセスの種類が判断される。命令アクセスである場合には、RASアクセスとCASアクセスをおこなってアクセスを終了する。この時、RASアクセス・モードにおいて通常実行されるプリチャージはおこなわれない。言い換えれば、命令アクセスである場合には、その次のアクセスも命令アクセスであると予測して、プリチャージをすることなくバンクアクティブ状態、すなわちページ・モードに移る。

【0021】一方、アクセスの種類がデータ・アクセスである場合には、RASアクセスとCASアクセスとプリチャージをおこなってアクセスを終了する。言い換えれば、データ・アクセスである場合には、その次のアクセスもデータ・アクセスであると予測して、プリチャージをおこなってバンクアイドル状態、すなわちRASアクセスされていない状態(RASモード)を維持する。

【0022】図2のフローにおいては、DRAMアクセスの種類に応じてアクセス・モードを切り換えている。すなわち、アクセスの種類が命令アクセスであるかデータ・アクセスであるかをヒントにして、その次のアクセスがページ・モードまたはRASモードを予測し、この2つのモードいずれかを自動的に選択している。この場合、前回アクセスのあったアドレスと現在のアドレスの行アドレスの一致の有無は考慮されない。この方法は、

本発明者によって見いだされた、2つのアクセスは各々連続して発生する確率が高いという知見に基づくものである。この方法によれば、データ・アクセスである場合は、行アドレスの一致の有無に拘らず、強制的にRASモードが選択される。したがって、従来のページング法のように、行アドレスが一致しない場合は毎回プリチャージをおこなわなければならないという欠点を回避することができる。

【0023】図3は本発明の第2の実施例のDRAMアクセス方法のフローを示した図である。図3において、バンクアクティブ状態、すなわちページ・モードが選択され既に行選択(RASアクセス)が行われている状態からアクセスが開始される。最初に、ページ・ヒットの有無が、すなわち前回アクセスのあったアドレスと現在のアドレスの行アドレスが一致しているか否かが判断される。

【0024】ページ・ヒットする場合(行アドレスが一致する場合には、ページ・モードがそのまま維持されCASアクセスのみをおこなってアクセスを終了する。言い換えれば、ページ・ヒットする場合には、その次のアクセスも行アドレスが一致するものと予測して、プリチャージをすることなくバンクアクティブ状態に戻る。

【0025】一方、ページ・ミスする場合(行アドレスが一致しない場合には、ページ・モードからランダム・アクセス・モードへ切り換えられ、プリチャージをおこなった後にRASアクセスとCASアクセスを行い、さらに最後にプリチャージをおこなってアクセスを終了する。言い換えれば、ページ・ミスする場合には、その次のアクセスも行アドレスが一致しないものと予測して、プリチャージをおこなってバンクアイドル状態、すなわちRASアクセスされていない状態(RASモード)に移る。

【0026】図3のバンクアイドル状態(RASモード)から、さらに次のアクセスが開始される。そして、同様にして、ページ・ヒットの有無が、すなわち前回アクセスのあったアドレスと現在のアドレスの行アドレスが一致しているか否かが判断される。ページ・ヒットする場合には、RASアクセスとCASアクセスをおこなってアクセスを終了する。この時、RASアクセス・モードにおいて通常実行されるプリチャージはおこなわれない。言い換えれば、ページ・ヒットする場合には、その次のアクセスにおいてもページ・ヒットするものと予測して、プリチャージをすることなくバンクアクティブ状態、すなわちページ・モードに移る。

【0027】一方、ページ・ミスする場合(行アドレスが一致しない場合には、RASアクセスとCASアクセスとプリチャージをおこなってアクセスを終了する。言い換えれば、ページ・ミスする場合には、その次のアクセスにおいてもページ・ミスするものと予測して、プリチャージをおこなってバンクアイドル状態、すなわち

RASアクセスされていない状態(RASモード)を維持する。

【0028】図3のフローにおいては、ページ・ヒットの有無に応じてアクセス・モードを切り換えている。すなわち、ページ・ヒットの有無をヒントにして、その次のアクセスがページ・ヒットするか否かを予測し、それに対応したアクセス・モードを自動的に選択している。この方法は、本発明者によって見いだされた、ページ・ヒットとページ・ミスは、各々連続して発生する確率が高いという知見に基づくものである。そして、この方法によれば、ページ・ミスが続く場合は強制的にRASモードを選択し続ける。したがって、従来のページング法で問題となっている、ページ・ミスする場合は毎回ブリチャージをおこなわなければならないという欠点を回避することができる。

【0029】図4は、本発明のDRAMを制御するためのコントローラを含むコンピュータ・システムの一実施例を示した図である。バス9を介して、マイクロ・プロセッサ4、入力装置5、表示装置6、外部メモリコントローラ8、内部メモリ3が接続されている。内部メモリ3には本発明のコントローラ1とDRAM2、CASHメモリ10が含まれている。なお、図示はされていないが、メモリとしてSRAM等の他のメモリを含めることができることは言うまでもない。

【0030】図5は、本発明のDRAMコントローラ1の一実施例の構成を示した図である。コントローラ1は、制御部11、比較回路12、レジスタ回路13から構成される。なお、ここでいう制御部には、プロセッサからの信号に応じてDRAMへのアクセスの種類を判別する手段、判別されたアクセスの種類に応じてDRAMへのアクセス・モードを切り換える手段、さらにマルチプレクサ等が含まれる。

【0031】CPU4からは、バス9を介して、メモリアクセスの種類(命令アクセスまたはデータ・アクセス)を示す信号が送られてくる。制御部11はこの信号に基づき上述した図2のフローに従った制御をおこなう。すなわち、制御部11内の判別する手段は、この信号に基づきアクセスの種類を判別する。制御部11内の切り換える手段は、判別されたアクセスの種類に応じた制御信号を生成する。そして、制御部11からDRAM2へ信号線14を介してRASアクセス信号、CASアクセス信号、アドレス信号などの制御信号が送られる。なお、同時にCASHメモリ10等へも制御信号が送られる。

【0032】レジスタ回路13は入力されるアドレス信号の履歴を保持すると同時に、適時比較回路12にアドレス信号を出力する。アドレス信号には行アドレスおよ

び列アドレスが含まれる。比較回路12は現在のアドレスとレジスタ回路13から来る前回のアドレスとを比較し、その結果を制御部11に出力する。制御部11は、この信号に基づき上述した図3のフローに従った制御をおこなう。すなわち、制御部11はDRAM2へ信号線14を介して、RASアクセス信号、CASアクセス信号、アドレス信号などの制御信号を選択的に送り出す。なお、同時にCASHメモリ10等へも制御信号が送られる。

【0033】以上説明したように、本発明は、アクセスの種類またはページ・ヒットの有無を基に、その次のアクセスの種類またはページ・ヒットの有無を予測して、アクセス・モードを選択するものである。したがって、従来のページング法のように、ページ・ヒットしない場合に毎回ブリチャージを行なう必要がなくなり、DRAMへの高速なアクセスが可能となる。また、本発明によれば、アクセスの種類の連続性またはページ・ヒット(ページ・ミス)の連続性に対応したDRAMアクセスを行うことができる。したがって、この点からもより高速なDRAMアクセスが可能となる。

【図面の簡単な説明】

【図1】従来のページング法を用いたメモリ制御のフローを示した図である。

【図2】本発明の一実施例のDRAMアクセス方法のフローを示す図である。

【図3】本発明の一実施例のDRAMアクセス方法のフローを示す図である。

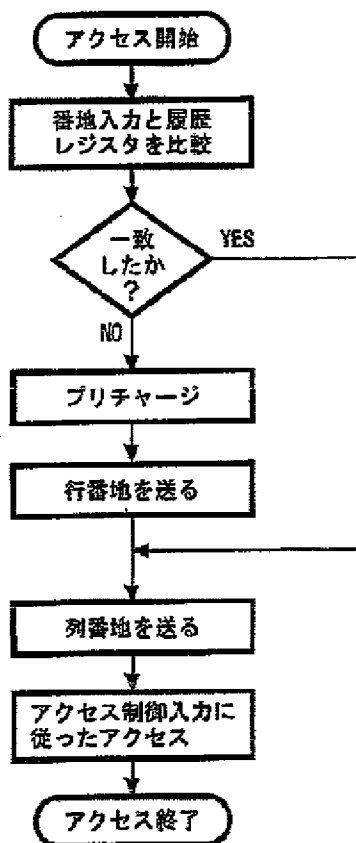
【図4】本発明の一実施例のDRAMコントローラを含むコンピュータ・システムを示す図である。

【図5】本発明の一実施例のDRAMコントローラの構成を示す図である。

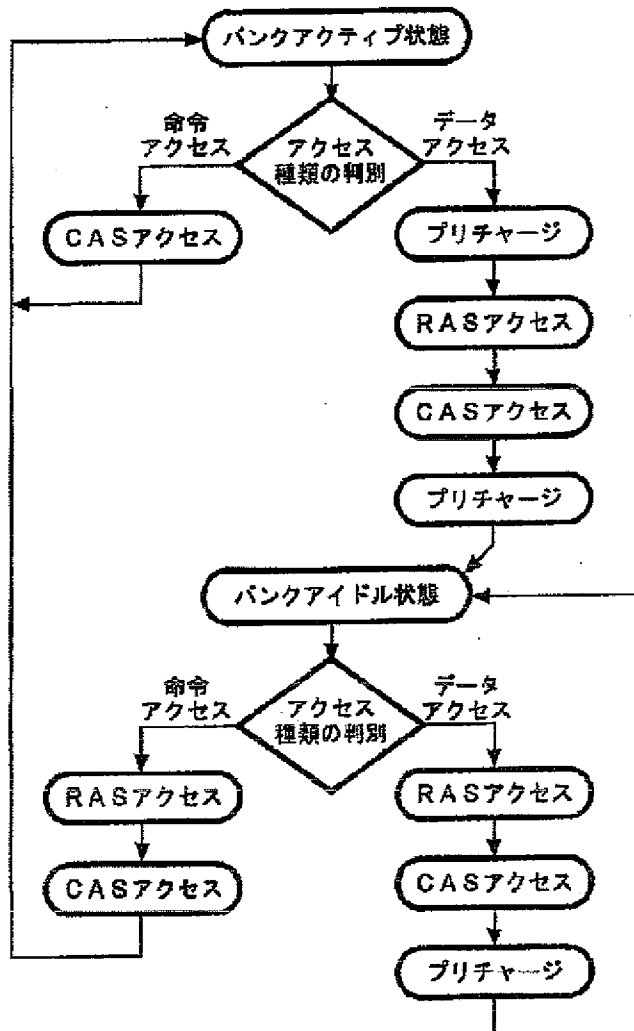
【符号の説明】

- 1 コントローラ
- 2 DRAM
- 3 内部メモリ
- 4 MPU
- 5 入力装置
- 6 表示装置
- 7 外部メモリ
- 8 外部メモリ・コントローラ
- 9 バス
- 11 制御部
- 12 比較回路
- 13 レジスタ
- 14 信号線

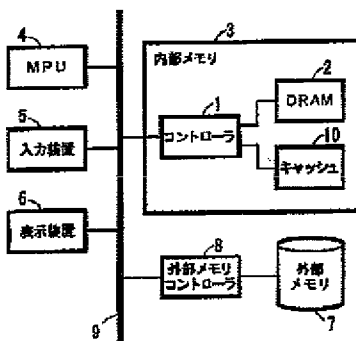
【図1】



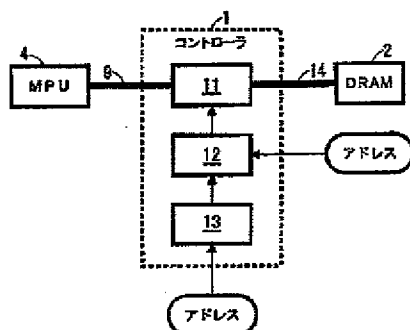
【図2】



【図4】



【図5】



【図3】

